

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

**2 583 939**

(21) N° d'enregistrement national :

**85 09319**

(51) Int Cl<sup>4</sup> : H 03 K 17/04, 17/08.

17497 U.S. PTO  
10/765454



012704

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 19 juin 1985.

(30) Priorité :

(71) Demandeur(s) : LA TELEMECANIQUE ELECTRIQUE, so-  
ciété anonyme. — FR.

(43) Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 52 du 26 décembre 1986.

(60) Références à d'autres documents nationaux appa-  
rentés :

(72) Inventeur(s) : Bernard Dumortier, Jean-Noël Gast et  
Jean-Paul Riotte.

(73) Titulaire(s) :

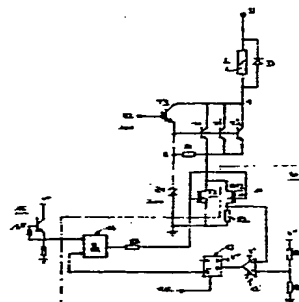
(74) Mandataire(s) :

(54) Dispositif de commutation rapide de puissance.

(57) L'invention concerne un dispositif de commutation utili-  
sant un montage interrupteur série ou cascode composé d'un  
transistor bipolaire T1 et d'un transistor à effet de champ FET  
T2.

Un semi-conducteur MOS-bipolaire à réaction T3 est couplé  
à la base du transistor bipolaire T1, la conduction de T3 étant  
asservie à l'état du FET T2. Un circuit de protection 10 de  
préférence CMOS est associé au montage cascode.

Application aux dispositifs de commutation rapide de puis-  
sance.



FR 2 583 939 - A1

---

Dispositif de commutation rapide de puissance

---

La présente invention concerne un dispositif de commutation rapide de puissance utilisant un montage interrupteur série composé d'un transistor bipolaire et d'un transistor à effet de champ FET, la commutation de l'interrupteur étant commandée par un signal de commande applicable à la grille du FET.

Un tel montage dit cascode est décrit dans TEEE Power Electronics Specialists Conference, Juin 1982, pages 372-377. Ce montage a entre autre pour avantage de bénéficier d'une grande rapidité de commutation grâce au transistor à effet de champ ; celui-ci peut être un MOS à tenue en tension relativement faible pour garder une faible résistance à l'état passant, tandis que la tenue en tension du montage est assurée par le transistor bipolaire.

Il a déjà été proposé plusieurs schémas pour commander de tels montages cascode. Ces schémas ont pour inconvénient de présenter des circuits insuffisamment rapides, par exemple un montage Darlington, pour commander la base du transistor bipolaire, ou de nécessiter des circuits compliqués pour accélérer la commande de base.

L'invention a notamment pour but de réaliser un dispositif de commutation de puissance à bonne tenue en tension dont la rapidité de commutation est accrue par un moyen simple amenant et maintenant le transistor bipolaire dans sa zone de quasi-saturation.

Elle a pour autre but de protéger un dispositif de commutation de puissance à montage cascode contre les courts-circuits à l'aide de moyens simples et bien adaptés au montage cascode.

L'invention concerne un dispositif de commutation rapide de puissance présentant un montage interrupteur série composé d'un transistor bipolaire et d'un transistor à effet de champ FET, dont les

chemins respectifs collecteur-émetteur et drain-source sont mis en série et sont reliés aux bornes de puissance du dispositif, la commutation du montage interrupteur s'effectuant en réponse à un signal de commande applicable à la grille du FET et à l'aide d'un circuit de commande de base du transistor bipolaire.

Selon l'invention, le circuit de commande de base du transistor bipolaire comprend un semi-conducteur MOS-bipolaire à réaction dont l'émetteur est connecté à la base du transistor bipolaire et dont le collecteur est relié à l'une des bornes de puissance du dispositif, la conduction du semi-conducteur MOS-bipolaire à réaction étant asservie à l'état du FET du montage cascode.

Le semi-conducteur MOS-bipolaire à réaction, qui peut être du type connu sous la désignation "IGT", "COMFET" ou "GEMFET", est de préférence du type MOS canal N sur substrat P.

La grille du semi-conducteur MOS-bipolaire à réaction peut soit être polarisée en permanence, soit recevoir le signal de commande appliqué à la grille du FET.

Il est avantageux d'associer au dispositif un circuit simple et adapté de protection contre les courts-circuits ; ce circuit comprend un organe de lecture du courant relié à un comparateur dont la sortie est susceptible d'actionner une bascule, une sortie de la bascule étant reliée à la grille du FET du montage cascode via une logique susceptible d'inhiber le signal de commande de commutation.

L'organe de lecture du courant est de préférence un transistor à effet de champ couplé en miroir de courant avec le FET du montage cascode et commandé de manière synchrone avec ledit FET.

Le mode de réalisation décrit à titre non limitatif en regard des figures annexées va permettre de mieux comprendre les caractéristiques et avantages de l'invention.

La figure 1 représente le schéma d'un dispositif de commutation de puissance conforme à l'invention.

La figure 2 représente le schéma du dispositif de la figure 1 auquel est adjoint un circuit de protection contre les courts-circuits.

Le dispositif illustré sur la figure 1 présente un montage interrupteur série (cascode) formé d'un transistor bipolaire T1 et d'un transistor à effet de champ FET T2. Le chemin émetteur-collecteur de T1 et le chemin drain-source de T2 sont en série, le collecteur de T1 et la source de T2 étant respectivement reliés aux bornes de puissance 1 et 2 du dispositif.

D'autres transistors bipolaires peuvent être prévus en parallèle à T1 comme figuré en tirets.

A la grille G du FET T2 est applicable un signal de commande V1 dont on désire assurer la reproduction en puissance au moyen du montage interrupteur cascode T1, T2.

Un dispositif MOS-bipolaire à réaction T3 est associé au montage cascode pour amener et maintenir la base du transistor bipolaire T1 en quasi-saturation en réponse au signal de commande V1. La grille du dispositif MOS-bipolaire T3 est polarisée par une tension V2 ; cette tension est constituée selon les cas soit par une tension continue, soit par le signal de commande V1 lui-même.

Une diode Zener Z1 ou autre dispositif écrêteur est disposé entre un point A intermédiaire entre l'émetteur du semi-conducteur T3 et la base du transistor bipolaire T1.

La figure 2 montre un mode de réalisation avantageux d'un circuit de protection 10 associé au dispositif de commutation conforme à l'invention. Une résistance R1 écoule le léger courant de fuite des transistors bipolaires T1, T'1, T''1 et maintient VA au potentiel assuré par l'écrêteur Z1. Le dispositif commande le courant dans une charge L éventuellement inductive aux bornes de laquelle est disposée une diode de récupération D.

Le circuit de protection 10 comprend un organe de lecture du courant 11 relié à un comparateur 12 dont la sortie est susceptible d'actionner une bascule 13 ; une sortie Q de la bascule est reliée à la grille du FET T2 du montage cascode via une logique 14 susceptible d'inhiber le signal de commande de commutation V1 et une résistance R3 anti-oscillation. Ce signal de commande peut être délivré par un optocoupleur 15.

L'organe de lecture du courant I1 comprend de préférence un transistor à effet de champ MT2, par exemple du type MOS comme T2 ; les transistors T2 et MT2 sont couplés avec leurs électrodes en commun, de sorte que MT2 est commandé de manière synchrone à T2. La tension image du courant prélevée aux bornes d'une résistance R2 de lecture du courant associée à MT2 est appliquée à l'entrée non inverseuse du comparateur I2 ; l'entrée inverseuse de celui-ci est polarisée par une tension de consigne délivrée par un pont de résistances R4, R5.

La sortie  $\bar{Q}$  de la bascule 13 est appliquée à une entrée d'une logique 14, par exemple d'une porte ET, recevant sur son autre entrée le signal V1 provenant de l'optocoupleur 15. La bascule est réarmable par l'intermédiaire d'une ligne RE.

Le fonctionnement du dispositif décrit est le suivant.

Une tension U étant présente aux bornes 1, 2 du dispositif, l'absence ou le maintien à un niveau bas du signal V1 entraîne le blocage du FET T2 du montage cascode et celui-ci reste donc bloqué. Le semi-conducteur MOS-bipolaire à réaction T3 est bloqué du fait que le potentiel VA au point A, imposé par le composant-écrêteur Z1, maintient une différence de potentiel grille-émetteur négative.

La montée du signal V1 entraîne une élévation du potentiel de grille du FET T2, de sorte que celui-ci est mis en état de conduction et que son potentiel de drain diminue en entraînant la mise en état de conduction de T3, puisque l'émetteur de celui-ci est proche du potentiel de la masse (à la chute de tension près du VBE de T1 et de la chute de tension drain-source de T2).

Lorsque T2 commence à conduire, le potentiel VA diminue ; le semi-conducteur T3 conduit et injecte un courant dans la base de T1. Du fait de sa chute de tension à l'état passant, T3 maintient T1 en état de quasi-saturation et le montage cascode reste passant tant que subsiste le signal de commande V1.

Lorsque le signal de commande V1 disparaît ou vient à un niveau bas, le montage cascode s'ouvre. En effet, le FET T2 se bloque et entraîne une élévation de VA, de sorte que le semi-conducteur T3 se bloque et suscite le blocage des transistors bipolaires T1, T'1, T''1 qui verrouillent le montage cascode pour tenir la tension.

En cas de court-circuit, la résistance R2 du miroir de courant MT2 entraîne une activation de la sortie du comparateur 12 dès que la tension image du courant dépasse le seuil fixé par le pont de résistances R4, R5 ; la sortie  $\bar{Q}$  de la bascule est appliquée à la porte ET 14 qui passe à zéro, de sorte que même si le signal V1 délivré par l'optocoupleur est au 1 logique, la tension appliquée à la grille du FET T2 descend au-dessous de la tension de seuil de celui-ci ; le montage cascode se bloque comme déjà décrit.

Le comparateur 12, la bascule 13 et la logique 14 du circuit de protection sont avantageusement réalisés en technologie CMOS, par exemple en prédiffusé ; on peut ainsi polariser les éléments du circuit de protection au moyen d'une tension  $V^+$  de l'ordre de 10 volts également applicable au phototransistor de l'optocoupleur 15 et à la grille du semi-conducteur T3. La tension de Zener de la diode Z1 peut être de l'ordre de 20 volts.

Il va de soi que l'on peut apporter des modifications au mode de réalisation décrit sans sortir du cadre de l'invention.



---

REVENDICATIONS

---

1. Dispositif de commutation rapide de puissance présentant un montage interrupteur série composé d'un transistor bipolaire (T1) et d'un transistor à effet de champ FET (T2), dont les chemins respectifs collecteur-émetteur et drain-source sont mis en série et sont reliés aux bornes de puissance (1, 2) du dispositif, la commutation du montage interrupteur s'effectuant en réponse à un signal de commande (V1) applicable à la grille du FET (T2) et à l'aide d'un circuit de commande de base du transistor bipolaire (T1), caractérisé par le fait que le circuit de commande de base du transistor bipolaire (T1) comprend un semi-conducteur MOS-bipolaire à réaction (T3) dont l'émetteur est connecté à la base du transistor bipolaire (T1) et dont le collecteur est relié à l'une des bornes de puissance (1) du dispositif, la conduction du semi-conducteur MOS-bipolaire à réaction (T3) étant asservie à l'état du FET (T2) du montage interrupteur série.

2. Dispositif de commutation selon la revendication 1, caractérisé par le fait qu'il comprend un circuit de protection (10) contre les courts-circuits qui comporte un organe (11) de lecture du courant relié à un comparateur (12) dont la sortie est susceptible d'actionner une bascule (13), une sortie de la bascule étant reliée à la grille du FET (T2) du montage interrupteur série via une logique (14) susceptible d'inhiber le signal de commande de commutation (V1).

3. Dispositif de commutation selon la revendication 2, caractérisé par le fait que l'organe de lecture du courant (11) comprend un transistor à effet de champ (MT2) couplé en miroir de courant avec le FET (T2) du montage interrupteur série et commandé de manière synchrone au FET (T2).

4. Dispositif de commutation rapide de puissance présentant un montage interrupteur série composé d'un transistor bipolaire (T1) et d'un transistor à effet de champ FET (T2), dont les chemins respectifs collecteur-émetteur et drain-source sont mis en série et sont reliés aux bornes de puissance (1, 2) du dispositif, la commutation du montage interrupteur s'effectuant en réponse à un signal de commande (V1) applicable à la grille du FET (T2) et à l'aide d'un circuit de commande de base du transistor bipolaire (T1), caractérisé par le fait qu'il comprend un circuit de protection (10) contre les courts-circuits qui comporte un organe (11) de lecture du courant relié à un comparateur (12) dont la sortie est susceptible d'actionner une bascule (13), une sortie de la bascule étant reliée à la grille du FET (T2) du montage interrupteur série via une logique (14) susceptible d'inhiber le signal de commande de commutation (V1).

15

5. Dispositif de commutation selon la revendication 4, caractérisé par le fait que l'organe de lecture du courant (11) comprend un transistor à effet de champ (MT2) couplé en miroir de courant avec le FET (T2) du montage interrupteur série et commandé de manière synchrone au FET (T2).

20

6. Dispositif de commutation selon la revendication 5, caractérisé par le fait que les éléments du circuit de protection sont réalisés en technologie CMOS.

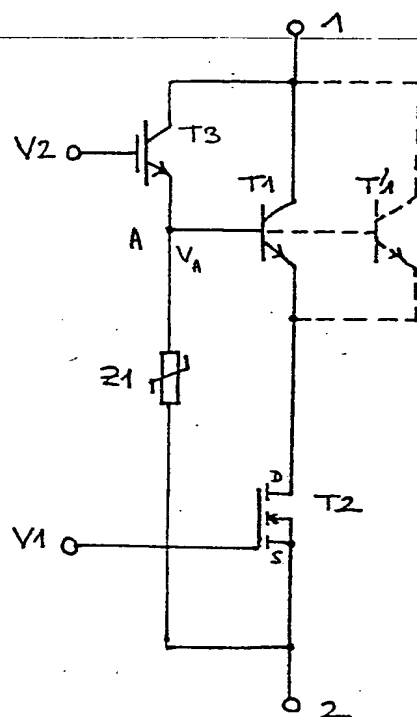


FIG. 1

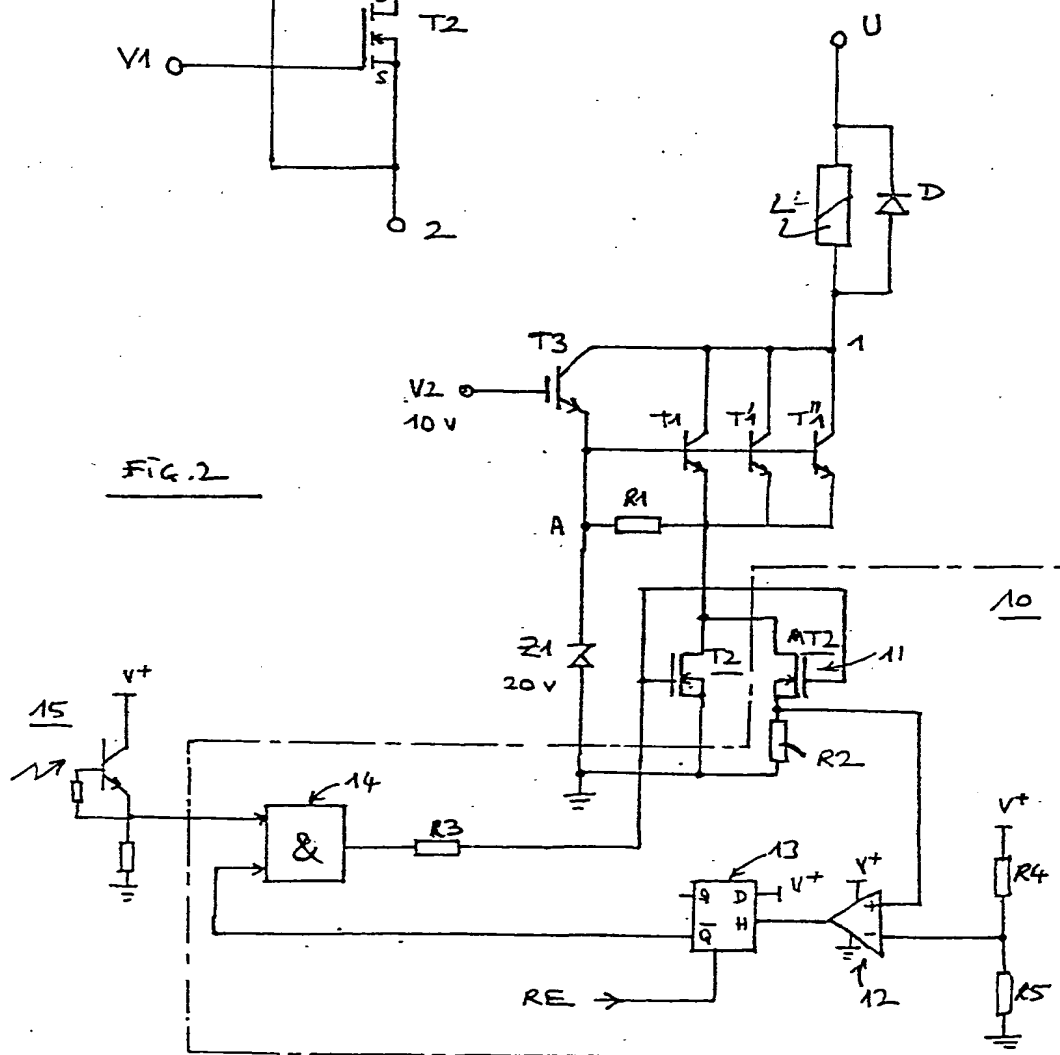


FIG. 2

---

**THIS PAGE BLANK (USPTO)**